

Interconnect structure in a semiconductor device and method of formation

Patent Number: ☐ US6197688
Publication date: 2001-03-06
Inventor(s): SIMPSON CINDY REIDSEMA (US)
Applicant(s): MOTOROLA INC (US)
Requested Patent: CN1226080
Application Number: US19980022933 19980212
Priority Number(s): US19980022933 19980212
IPC Classification: H01L21/44; H01L21/302; H01L21/4763
EC Classification: H01L21/288E, H01L21/768C3, H01L21/768C4
Equivalents: ☐ JP11288940, TW402784

Abstract

In one embodiment, a conductive interconnect (38) is formed in a semiconductor device by depositing a dielectric layer (28) on a semiconductor substrate (10). The dielectric layer (28) is then patterned to form an interconnect opening (29). A tantalum nitride barrier layer (30) is then formed within the interconnect opening (29). A catalytic layer (31) comprising a palladium-tin colloid is then formed overlying the tantalum nitride barrier layer (30). A layer of electroless copper (32) is then deposited on the catalytic layer (31). A layer of electroplated copper (34) is then formed on the electroless copper layer (32), and the electroless copper layer (32) serves as a seed layer for the electroplated copper layer (34). Portions of the electroplated copper layer (34) are then removed to form a copper interconnect (38) within the interconnect opening (29).

Data supplied from the esp@cenet database - I2

This Page Blank (uspto)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-288940

(43) 公開日 平成11年(1999)10月19日

(51) Int. Cl.⁸
H01L 21/3205
21/288
21/768
29/78
21/336

識別記号

FI
H01L 21/88 M
21/288 M
21/90 B
29/78 301Y

審査請求 未請求 請求項の数5 OL (全10頁)

(21) 出願番号 特願平11-29686

(22) 出願日 平成11年(1999)2月8日

(31) 優先権主張番号 022933

(32) 優先日 1998年2月12日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009597

モトローラ・インコーポレイテッド
MOTOROLA INCORPORATED

アメリカ合衆国イリノイ州シャンバーグ、
イースト・アルゴンクイン・ロード1303

(72) 発明者 シンディ・レイドセマ・シンブソン

アメリカ合衆国テキサス州オースティン、
バック・ベイ・レーン5844

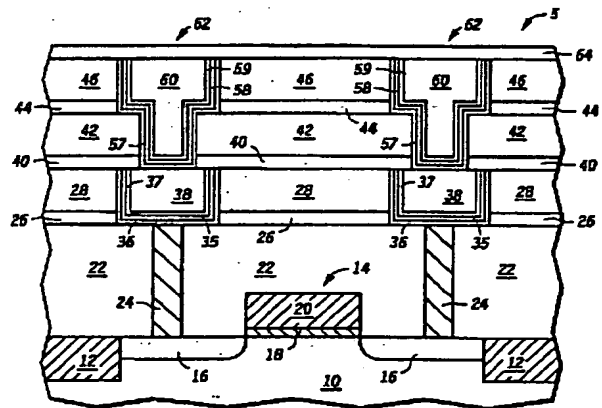
(74) 代理人 弁理士 大貫 進介 (外1名)

(54) 【発明の名称】 半導体素子における相互接続構造およびその形成方法

(57) 【要約】

【課題】 高アスペクト比の開口内にコンフォーマルな膜を堆積し、相互接続構造におけるボイド形成を低減する相互接続構造の形成方法を提供する。

【解決手段】 半導体基板(10)上に誘電体層(28)を堆積することによって、半導体素子内に導電性相互接続部(38)を形成する。次に、誘電体層にパターニングを行い相互接続開口(29)を形成する。次に、相互接続開口内に窒化タンタルのバリア層(30)を形成する。次に、窒化タンタルのバリア層上に、パラジウム-錫コロイドから成る触媒層(31)を形成する。次に、触媒層上に無電解銅の層(32)を形成する。次に、無電解銅層上に、電気めっき銅の層(34)を形成し、無電解銅層が、電気めっき銅層のためのシード層として機能する。次に、電気めっき銅層の部分を除去し、相互接続開口内に銅の相互接続部を形成する。



【特許請求の範囲】

【請求項1】半導体素子内に相互接続構造を形成する方法であって：半導体基板（10）を用意する段階；前記半導体基板上に誘電体層（28）を形成する段階；前記誘電体層内に開口（29）を形成する段階；前記開口内に触媒層（31）を形成する段階；無電解めっきプロセスを用いて前記開口内に銅層（32）を形成する段階であって、前記触媒層を形成した後に、前記開口内に前記銅層を形成する段階；および前記銅層上に導電性金属層（34）を形成する段階であって、電気めっきプロセスを用いて前記導電性金属層を形成する段階；から成ることを特徴とする方法。

【請求項2】半導体素子内に相互接続構造を形成する方法であって：半導体基板（10）を用意する段階；前記半導体基板上に誘電体層（28）を形成する段階；前記誘電体層内に開口（29）を形成する段階；無電解めっきプロセスを用いて、前記開口内に第1銅層（32）を形成する段階；電気めっきプロセスを用いて前記開口内に第2銅層（34）を形成する段階であって、前記第2銅層を前記第1銅層に当接させ、前記第1銅層を前記電気めっきプロセスのためのシード層として用いる段階；および前記第2銅層および前記第1銅層を研磨し、前記開口内に導電性相互接続部（39）を形成する段階；から成ることを特徴とする方法。

【請求項3】半導体素子において相互接続構造を形成する方法であって：半導体基板（10）を用意する段階；前記半導体基板内にドーパ領域（16）を形成する段階；前記半導体基板上に第1誘電体層（28）を形成する段階；前記第1誘電体層内に第1開口（29）を形成する段階；前記第1開口内に第1導電性バリア層（30）を形成する段階；無電解めっきプロセスを用いて前記第1開口内に第1銅層（32）を形成する段階であって、前記第1銅層を前記第1導電性バリア層上に配する段階；電気めっきプロセスを用いて前記第1開口内に第2銅層（34）を形成する段階であって、前記第2銅層を前記第1銅層の上方に配する段階；前記第1銅層および前記第2銅層を研磨し、第1導電性相互接続部（39）を形成する段階；前記第1導電性相互接続部上に第2誘電体層（48）を形成する段階；前記第2誘電体層内に第2開口（50）を形成し、前記第1導電性相互接続部の一部を露出させる段階；前記第2開口内に第2導電性バリア層（52）を形成する段階；無電解めっきプロセスを用いて前記第2開口内に第3銅層（54）を形成する段階であって、前記第3銅層を前記第2導電性バリア層上に配する段階；電気めっきプロセスを用いて前記第2開口内に第4銅層（60）を形成する段階であって、前記第4銅層を前記第3銅層上に配する段階；および前記第3銅層および前記第4銅層を研磨し、第2導電性相互接続部（62）を形成する段階；から成ることを特徴とする方法。

【請求項4】半導体素子内に相互接続構造を形成する方法であって：半導体基板（10）を用意する段階；前記半導体基板上に誘電体層（28）を形成する段階；前記誘電体層内に開口（29）を形成する段階；前記開口内に導電性バリア層（30）を形成する段階；前記導電性バリア層上に触媒層（31）を形成する段階；無電解めっきプロセスを用いて前記開口内に第1銅層（32）を形成する段階であって、前記触媒層を形成した後に、前記開口内に前記第1銅層を形成する段階；電気めっきプロセスを用いて前記開口内に第2銅層（34）を形成する段階であって、前記第2銅層が前記第1銅層に当接し、前記第1銅層が前記電気めっきプロセスのためのシード層として機能する段階；および前記第2銅層および前記第1銅層を研磨し、前記開口内に導電性相互接続部（39）を形成する段階；から成ることを特徴とする方法。

【請求項5】半導体素子内の相互接続構造であって：半導体基板（10）；前記半導体基板上に位置する誘電体層（28）；前記誘電体層を貫通する開口（29）；前記開口内に位置する導電性バリア層（36）；前記開口内に位置し、前記導電性バリア層上に位置する無電解銅層（37）；および前記開口内に位置し、前記無電解銅層上に位置する電気めっき銅層（38）；から成ることを特徴とする相互接続構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般的に、半導体素子に関し、更に特定すれば、半導体素子における相互接続構造およびその形成方法に関するものである。

【0002】

【従来の技術】半導体業界では、導電性相互接続部を形成する場合には、従来より化学蒸着（CVD：Chemical Vapor Deposition）プロセスおよび物理蒸着（PVD：Physical Vapor Deposition）プロセスが用いられている。現在では、コスト、堆積の容易性、および機器の可用性のため、PVDプロセスの方が好適である。しかしながら、半導体素子の臨界寸法（critical dimension）が縮小するに連れて、コンタクトおよびバイア開口のアスペクト比が増大し、PVDプロセスを用いてこれらの開口内にコンフォーマルな膜（conformal film）を形成することが難しくなっている。このように、現在のPVDプロセスは、アスペクト比が高い開口内におけるステップ・カバレッジ（step coverage）が貧弱であり、形成される相互接続構造にボイドが含まれる場合もしばしばある。これらのボイドは、相互接続構造の全体的な導電性を低下させ、半導体素子の信頼性に悪影響を与える。一方、CVDプロセスは、典型的にPVDプロセスよりもコンフォーマルな膜を与える。しかしながら、CVDプロセスは、高価な処理機器を必要とし、および清浄のための中断を頻繁に必要とし、しかも高コストで低効率

の化学先驱体(chemical precursor)を使用する。加えて、CVD技術を用いて高アスペクト比の開口内に形成される相互接続構造は、ボイドの形成という問題もあり、これらのフィルムの下地誘電体物質への接着がしばしば問題となる。

【0003】

【発明が解決しようとする課題】したがって、高アスペクト比の開口内に非常にコンフォーマルな膜を堆積し、相互接続構造におけるボイドの形成を低減するために使用可能な、メタライゼーション・プロセスが必要とされている。

【0004】

【発明の実施の形態】図1に示すのは、本発明の一実施例による集積回路構造の部分5である。この集積回路構造は、半導体基板10、フィールド分離領域12、トランジスタ14、導電性プラグ24、誘電体層22、エッチ・ストップ層26、および誘電体層28を備えている。トランジスタ14は、ソース/ドレイン領域16、ゲート誘電体層18、およびゲート電極20を備えている。一実施例では、半導体基板10は単結晶シリコン基板である。あるいは、半導体基板10は、絶縁物上シリコン基板(silicon-on-insulator substrate)、サファイ

酸化物の層であり、これを形成するには、TEOSをソース・ガスとして用いる。あるいは、誘電体層22は、窒化シリコンの層、PSGの層、BPSGの層、SiOG層、酸窒化シリコン層、ポリイミド層、低誘電率絶縁物、またはこれらの組み合わせとすることも可能である。

【0009】一実施例では、導電性プラグ24を形成するには、チタン/窒化チタン・バリア層およびタングステン・コンタクト・フィル(tungsten contact fill)を用いる。堆積した後、従来のエッチングまたは化学機械式研摩技法を用いてタングステンおよび下地のチタン/窒化チタン・バリア層の部分除去し、導電性プラグ24を形成する。あるいは、導電性プラグ24は、ポリシリコンをコンタクト・フィル材として用いて形成することも可能である。

【0010】一実施例では、エッチ・ストップ層26は、酸窒化シリコンの層であり、従来のプラズマ堆積技術を用いて形成する。あるいは、エッチ・ストップ層26は、プラズマ堆積窒化シリコンの層、窒化硼素層等とすることも可能である。

【0011】一実施例では、誘電体層28は、プラズマ堆積酸化物の層であり、TEOSをソース・ガスとして

る場合、フッ化水素酸の溶液を用いれば、タンタルまたは窒化タンタル・バリア層の表面上に形成されるあらゆる五酸化タンタルを除去することができる。導電性バリア層30をエッチングすることにより、触媒層31の下地の導電性バリア層30に対する接着性が向上することがわかっている。尚、導電性バリア層30が酸化物の形成を生じ難い場合、前述のエッチング・プロセスは不要としてもよいことは認められよう。あるいは、他の金属コロイド、あるいは銅または金のような他の導電性材料を用いて触媒層31を形成してもよい。例えば、プラチナ酸(platinic acid)を用いて、プラチナから成る触媒層を導電性バリア層30上に形成することが可能である。同様に、塩化パラジウムを用いて、パラジウムから成る触媒層を導電性バリア層30上に形成することも可能である。

【0014】次に、無電解堆積プロセスを用いて、触媒層31上に導電性シード層32を形成する。導電性シード層32は、図2に示すように、相互接続開口29を充填するには不十分な厚さを有するが、電気めっきに必要な電流密度を導通させかつ搬送するには十分に厚いので、電気めっきシード層として用いることができる。一実施例では、導電性シード層32は、約500オングストロームの厚さを有する銅の層である。この特定実施例では、第二銅イオン、ホルムアルデヒド、およびエチレンジアミン四酢酸(EDTA)を含む無電解めっき溶液を用いて、無電解銅層を下地の触媒層31上にめっきする。

【0015】あるいは、他の従来からの銅めっき溶液を用いて、または無電解プロセスによって触媒層31上にめっき可能な他の導電性物質を用いて、導電性シード層32を形成することも可能である。例えば、導電性シード層32は、無電解ニッケル、無電解錫、無電解銀、無電解パラジウム、または無電解金の層とすることが可能である。

【0016】無電解堆積プロセスは、導電性シード層32をコンフォーマルに高アスペクト比の開口に堆積することができ、しかもステップ・カバレッジが良好であることを注記するのは重要である。

【0017】次に、図3において、電気めっきプロセスを用いて導電性シード層32上に導電性金属層34を形成する。導電性金属層34は、図3に示すように、相互接続開口29を充填するのに十分な厚さを有する。一実施例では、導電性金属層34は、銅の層であり、銅(Cu)、硫酸銅(Cu_2SO_4)、硫酸(H_2SO_4)、および塩酸(HCl)等からの塩素イオンを含むめっき溶液を用いて堆積する。この特定実施例では、銅電気めっきプロセスの間、半導体基板の縁付近では電流密度を変更し、銅の電気めっき均一性を向上を図る。あるいは、導電性金属層34は、従来からの電気めっき技術を用いて形成することも可能であり、更に、ニッケルまたは金のよ

うなその他の導電性材料を用いて形成することも可能である。導電性シード層32は、前述の電気めっきプロセスのためのシード層として機能することを注記するのは重要である。したがって、高いアスペクト比を有する開口に、導電性金属層34を確実に充填することができ、何故なら、高アスペクト比の開口内にコンフォーマルに堆積可能な導電性シード層32によって、導電性金属層34を続いて同じ高アスペクト比の開口内に、高いコンフォーマリティ(conformality)で堆積することが可能となるからである。

【0018】図4において、導電性金属層34、導電性シード層32、触媒層31、および導電性バリア層30の部分を除去し、図2に示す、相互接続開口29内に導電性相互接続部39を形成する。この場合、導電性相互接続部39は、導電性バリア層30の残り部分36、触媒層31の残り部分35、導電性シード層32の残り部分37、および導電性金属層34の残り部分28から成る。導電性金属層34および導電性シード層32が銅であり、触媒層31がパラジウムから成り、導電性バリア層30がチタン、タングステン、またはタンタルから成る特定実施例では、導電性相互接続部39は、化学機械式研磨プロセスによって形成することができる。ここで、化学機械式研磨プロセスは、過酸化水素、クエン酸アンモニウム、アルミナ、1, 2, 4-トリアゾル、および脱イオン水から成る研磨用スラリーを用いる。あるいは、導電性相互接続部39は、イオン・ビーム・ミリング(ion-beam milling)、反応性イオン・ビーム・エッチング、およびプラズマ・エッチングのような従来からのエッチング技術を用いて、あるいはエッチングおよび研磨技術の組み合わせを用いて形成することも可能である。無電解めっきプロセスを電気めっきプロセスと組み合わせることにより、高アスペクト比の開口内に信頼性高くしかも抵抗が小さい導電性相互接続部39の形成が可能となることが認められよう。

【0019】次に、導電性相互接続部39上に、バリア層40を形成する。一実施例では、バリア層40はプラズマ堆積窒化シリコンの層である。あるいは、バリア層40は、プラズマ堆積酸化窒化シリコンの層、窒化硼素の層等とすることも可能である。導電性相互接続部39上には次に誘電体層を堆積するが、バリア層40は、導電性相互接続部39内の金属原子が、上に位置する誘電体層内に拡散するのを防止するように作用する。例えば、導電性相互接続部39が銅から成る場合、バリア層40は、銅拡散バリアとして機能する。

【0020】バリア層40上に、レベル間誘電体層48を形成する。一実施例では、レベル間誘電体層48は、図5に示すように、誘電体層42、エッチ・ストップ層44および誘電体層46から成る。

【0021】誘電体層42は、プラズマ堆積酸化物の層とすることができ、TEOSをソース・ガスとして堆積

する。あるいは、誘電体層42は、PSGの層、BPSGの層、SOGの層、ポリイミド層、低誘電率絶縁体等とすることも可能である。

【0022】エッチ・ストップ層44は、プラズマ堆積酸化窒化シリコンの層とすることができる。あるいは、エッチ・ストップ層44は、プラズマ堆積窒化シリコンの層、窒化酸素の層等とすることも可能である。

【0023】誘電体層46は、TEOSをソース・ガスとして用いて形成した、プラズマ堆積酸化物の層とすることができる。あるいは、誘電体層46は、PSGの層、BPSGの層、SOGの層、ポリイミド層、低誘電率絶縁体等とすることも可能である。尚、レベル間誘電体層48は、異なる誘電体を用いて形成する必要はないことは認められよう。例えば、レベル間誘電体層48は、プラズマ堆積酸化物、PSG、BPSG、SOG、ポリイミド、低誘電率絶縁体等のような、単一の誘電体物質を用いて形成することも可能である。

【0024】図6において、レベル間誘電体層48の一部およびバリア層40の一部にパターニングを行い、レベル間誘電体層48内にデュアル・インレイド開口(dua l inlaid opening)50を形成する。図6に示すように、デュアル・インレイド開口50は相互接続部52およびバイア部54から成り、バイア部54は導電性相互接続部39の一部を露出させる。パターニング・プロセスの間、誘電体層46にエッチングを行い相互接続部52を形成する際に、エッチ・ストップ層44が誘電体層42を保護する。

【0025】次に、図7において、導電性バリア層52をデュアル・インレイド開口50内に形成する。一実施例では、導電性バリア層52は窒化タングステンの層である。あるいは、導電性バリア層52は、窒化チタンの層、窒化タングステンの層、窒化タantal・シリコンの層、タングステンの層、チタン・タングステン層(TiW)等とすることも可能である。導電性バリア層52は、従来のスパッタリングまたは化学蒸着技術を用いて堆積することができる。

【0026】次に、従来からの技術を用いて導電性バリア層52上に、無電解堆積プロセスのために触媒層53を形成する。一実施例では、触媒層53はパラジウム・錫(Pd-Sn)コロイドから成る。この特定実施例では、パラジウム・錫コロイドから成る層を形成する前に、酸性溶液内で導電性バリア層52にエッチングを行い、導電性バリア層52の外面上に酸化物が形成されている場合、これを全て除去する。例えば、導電性バリア層52が窒化チタンから成る場合、硫酸溶液を用いれば、窒化チタン・バリア層の表面上に形成され得るあらゆる酸化チタンを除去することができる。同様に、導電性バリア層52がタングステルまたは窒化タングステルから成る場合、フッ化水素酸の溶液を用いれば、タングステルまたは窒化タングステル・バリア層の表面上に形成されるあらゆる

五酸化タングステルを除去することができる。導電性バリア層52をエッチングすることにより、触媒層53の下地の導電性バリア層52に対する接着性が向上することがわかっている。尚、導電性バリア層52が酸化物の形成を生じ難い場合、前述のエッチング・プロセスは不要としてもよいことは認められよう。あるいは、他の金属コロイド、あるいは銅または金のような他の導電性材料を用いて触媒層31を形成してもよい。例えば、プラチナ酸を用いて、プラチナから成る触媒層を導電性バリア層52上に形成することが可能である。同様に、塩化パラジウムを用いて、パラジウムから成る触媒層を導電性バリア層52上に形成することも可能である。

【0027】次に、無電解堆積プロセスを用いて、触媒層53上に導電性シード層54を形成する。導電性シード層54の厚さは、図7に示すように、デュアル・インレイド開口50を充填するには不十分である。一実施例では、導電性シード層54は、約500オングストロームの厚さを有する銅の層である。この特定実施例では、第二銅イオン、ホルムアルデヒド、およびエチレンジアミン四酢酸(EDTA)を含む無電解めっき溶液を用いて、無電解銅層を下地の触媒層53上にめっきする。

【0028】あるいは、他の従来からの銅めっき溶液を用いて、または無電解プロセスによって触媒層53上にめっき可能な他の導電性物質を用いて、導電性シード層54を形成することも可能である。例えば、導電性シード層54は、無電解ニッケル、無電解錫、無電解銀、無電解パラジウム、または無電解金の層とすることが可能である。

【0029】無電解堆積プロセスは、導電性シード層54を高アスペクト比の開口にコンフォーマルに堆積することができる。しかもステップ・カバレッジが良好であることを注記するのは重要である。

【0030】次に、図8において、電気めっきプロセスを用いて導電性シード層54上に導電性金属層を形成する。導電性金属層は、デュアル・インレイド開口50を充填するのに十分な厚さを有する。一実施例では、導電性金属層は銅の層であり、銅(Cu)、硫酸銅(Cu₂SO₄)、硫酸(H₂SO₄)、および塩酸(HCl)等からの塩素イオンを含むめっき溶液を用いて堆積する。この特定実施例では、図3において先に説明したように、銅電気めっきプロセスの間、半導体基板の縁付近では電流密度を変更し、銅の電気めっき均一性を向上を図る。あるいは、導電性金属層は、従来からの電気めっき技術を用いて形成してもよく、更に、ニッケルまたは金のようなその他の導電性材料を用いて形成してもよい。導電性シード層54は、前述の電気めっきプロセスのためのシード層として機能することを注記するのは重要である。したがって、高いアスペクト比を有する開口に、導電性金属層を確実に充填することができる。何故なら、高アスペクト比の開口内にコンフォーマルに堆積可

能な導電性シード層54によって、続いて同じ高アスペクト比の開口内に高い一致性(conformality)で導電性金属層を堆積することが可能となるからである。

【0031】図8において、導電性金属層、導電性シード層54、触媒層53、および導電性バリア層52の部分を除去し、デュアル・インレイド開口50内に導電性相互接続部62を形成する。この場合、導電性相互接続部62は、導電性バリア層52の残り部分57、触媒層53の残り部分58、導電性シード層54の残り部分59、および導電性金属層の残り部分60から成る。導電性金属層および導電性シード層54が銅であり、触媒層53がパラジウムから成り、導電性バリア層52がチタン、タングステン、またはタンタルから成る特定実施例では、導電性相互接続部62は、化学機械式研磨プロセスによって形成することができる。ここで、化学機械式研磨プロセスは、図4において先に説明したように、過酸化水素、クエン酸アンモニウム、アルミナ、1、2、4-トリアゾル、および脱イオン水から成る研磨用スラリーを用いる。あるいは、導電性相互接続部62は、イオン・ビーム・ミリング(ion-beam milling)、反応性イオン・ビーム・エッチング、およびプラズマ・エッチングのような従来からのエッチング技術を用いて、あるいはエッチングおよび研磨技術の組み合わせを用いて形成することも可能である。尚、無電解めっきプロセスを電気めっきプロセスと組み合わせることにより、高アスペクト比の開口内に信頼性高くしかも抵抗が小さい導電性相互接続部62の形成が可能となることが認められよう。

【0032】次に、導電性相互接続部62上にバリア層64を形成する。一実施例では、バリア層64はプラズマ堆積窒化シリコンの層である。あるいは、バリア層64は、プラズマ堆積酸化窒化シリコンの層、窒化硼素の層等とすることも可能である。導電性相互接続部62上には次に誘電体層を堆積するが、バリア層64は、導電性相互接続部62内の金属原子が、上に位置する誘電体層内に拡散するのを防止するように作用する。例えば、導電性相互接続部62が銅から成る場合、バリア層64は銅拡散バリアとして機能する。

【0033】尚、図5ないし図8に記載した工程を繰り返せば、導電性相互接続の追加レベルを作成可能であることは認められよう。

【0034】図9に示すのは、本発明の別の実施例にしたがって形成された集積回路構造の部分15である。具体的には、図9は、単一インレイド・メタライゼーションを用いたマルチレベル相互接続部の形成を示す。本発明のこの実施例では、図4に示した集積回路構造上に誘電体層70を形成する。誘電体層70は、プラズマ堆積酸化物の層とすることができ、TEOSをソース・ガスとして用いて形成する。あるいは、誘電体層70は、窒化シリコンの層、PSGの層、BPSGの層、SOGの層、酸化窒化シリコンの層、ポリイミド層、低誘電率絶縁

体等とすることも可能である。加えて、前述の誘電体材料の組み合わせも、誘電体層70を形成するために使用可能である。例えば、誘電体層70は、プラズマ堆積酸化物の層と、その上に位置する酸化窒化シリコン層から成るものとしてもよい。

【0035】次に、誘電体層70の部分およびバリア層40の部分を除去し、導電性相互接続部38の部分を露出させるバイア開口を形成する。次に、図2および図3において先に説明したように、導電性バリア層、触媒層、導電性シード層、および導電性金属層をバイア開口内に形成する。次に、図4において先に説明したように、導電性金属層、導電性シード層、触媒層、および導電性バリア層の部分を除去し、バイア開口内に導電性相互接続部76を形成する。この場合、導電性相互接続部76は、導電性バリア層の残り部分72、触媒層の残り部分73、導電性シード層の残り部分74、および導電性金属層の残り部分75から成る。

【0036】次に、導電性相互接続部76上にエッチ・ストップ層78を形成する。エッチ・ストップ層78は、プラズマ堆積酸化窒化シリコンの層とすることができ、あるいは、エッチ・ストップ層78は、プラズマ堆積窒化シリコンの層、窒化硼素の層等とすることも可能である。

【0037】次に、エッチ・ストップ層78上に誘電体層80を形成する。誘電体層80は、プラズマ堆積酸化物の層とすることができ、TEOSをソース・ガスとして用いて形成する。あるいは、誘電体層80は、窒化シリコンの層、PSGの層、BPSGの層、SOGの層、酸化窒化シリコン層、ポリイミド層、低誘電率絶縁体等とすることも可能である。加えて、前述の誘電体材料の組み合わせも、誘電体層80を形成するために使用可能である。例えば、誘電体層80は、プラズマ堆積酸化物の層と、その上に位置する酸化窒化シリコン層から成るものとしてもよい。

【0038】次に、誘電体層80の部分およびエッチ・ストップ層78の部分を除去し、導電性相互接続部76の部分を露出させる相互接続部開口を形成する。次に、図2および図3において先に説明したように、導電性バリア層、触媒層、導電性シード層、および導電性金属層をバイア開口内に形成する。次に、図4において先に説明したように、導電性金属層、導電性シード層、触媒層、および導電性バリア層の部分を除去し、バイア開口内に導電性相互接続部86を形成する。この場合、導電性相互接続部86は、導電性バリア層の残り部分82、触媒層の残り部分83、導電性シード層の残り部分84、および導電性金属層の残り部分85から成る。

【0039】次に、導電性相互接続部86の上に、バリア層88を形成する。一実施例では、バリア層88はプラズマ堆積窒化シリコンの層である。あるいは、バリア層88は、プラズマ堆積酸化窒化シリコンの層、窒化硼素

の層等とすることも可能である。導電性相互接続部86上には次に誘電体層を堆積するが、バリア層88は、導電性相互接続部86内の金属原子が、上に位置する誘電体層内に拡散するのを防止するように作用する。例えば、導電性相互接続部86が銅から成る場合、バリア層88は銅拡散バリアとして機能する。

【0040】尚、前述の工程を繰り返せば、導電性相互接続の追加レベルを作成可能であることは認められよう。

【0041】図10に示すのは、本発明の別の実施例にしたがって形成された集積回路構造の部分17である。具体的には、図10は、デュアル・インレイド・メタライゼーションを用いたマルチレベル相互接続部の形成を示す。図10では、トランジスタ14およびフィールド分離領域12を形成した後に、トランジスタ14およびフィールド分離領域12の上にレベル間誘電体層90を形成する。一実施例では、レベル間誘電体層90は、誘電体層92、エッチ・ストップ層94および誘電体層96から成る。

【0042】誘電体層92は、プラズマ堆積酸化物の層とすることができ、TEOSをソース・ガスとして用いて堆積する。あるいは、誘電体層92は、PSGの層、BPSGの層、SOGの層、ポリイミド層、低誘電率絶縁物等とすることも可能である。

【0043】エッチ・ストップ層94は、プラズマ堆積酸化シリコンの層とすることができる。あるいは、エッチ・ストップ層94は、プラズマ堆積窒化シリコンの層、窒化硼素の層等とすることも可能である。

【0044】誘電体層96は、プラズマ堆積酸化物の層とすることができ、TEOSをソース・ガスとして用いて堆積する。あるいは、誘電体層96は、PSGの層、BPSGの層、SOGの層、ポリイミド層、低誘電率絶縁物等とすることも可能である。尚、レベル間誘電体層90は、異なる誘電体物質を用いて形成する必要はないことは認められよう。例えば、レベル間誘電体層90は、プラズマ堆積酸化物、PSG、BPSG、SOG、ポリイミド、低誘電率絶縁体等のような、単一の誘電体物質を用いて形成することも可能である。

【0045】次に、レベル間誘電体層90の一部にパターニングを行い、レベル間誘電体層90内に、デュアル・インレイド開口を形成する。デュアル・インレイド開口は相互接続部およびバイア部から成り、バイア部はソース/ドレイン領域16の一部を露出させる。パターニング・プロセスの間、誘電体層96にエッチングを行い相互接続部を形成する際に、エッチ・ストップ層94が誘電体層92を保護する。

【0046】次に、図7および図8において先に説明したように、導電性バリア層、触媒層、導電性シード層、および導電性金属層を、デュアル・インレイド開口内に形成する。次に、図8において先に説明したように、導

電性金属層、導電性シード層、触媒層、および導電性バリア層の一部を除去し、デュアル・インレイド開口内に導電性相互接続部102を形成する。この場合、導電性相互接続部102は、導電性バリア層の残り部分97、触媒層の残り部分98、導電性シード層の残り部分99、および導電性金属層の残り部分100から成る。

【0047】次に、導電性相互接続部102上にバリア層104を形成する。一実施例では、バリア層104はプラズマ堆積窒化シリコンの層である。あるいは、バリア層104は、プラズマ堆積酸化シリコンの層、窒化硼素の層等とすることも可能である。導電性相互接続部102上には次に誘電体層を堆積するが、バリア層104は、導電性相互接続部102内の金属原子が、上に位置する誘電体層内に拡散するのを防止するように作用する。例えば、導電性相互接続部102が銅から成る場合、バリア層104は銅拡散バリアとして機能する。

【0048】次に、バリア層104上に、レベル間誘電体層112を形成する。一実施例では、レベル間誘電体層112は、誘電体層106、エッチ・ストップ層108および誘電体層110から成る。

【0049】誘電体層106は、プラズマ堆積酸化物の層とすることができ、TEOSをソース・ガスとして用いて堆積する。あるいは、誘電体層106は、PSGの層、BPSGの層、SOGの層、ポリイミド層、低誘電率絶縁物等とすることも可能である。

【0050】エッチ・ストップ層108は、プラズマ堆積酸化シリコンの層とすることができる。あるいは、エッチ・ストップ層108は、プラズマ堆積窒化シリコンの層、窒化硼素の層等とすることも可能である。

【0051】誘電体層110は、プラズマ堆積酸化物の層とすることができ、TEOSをソース・ガスとして用いて堆積する。あるいは、誘電体層110は、PSGの層、BPSGの層、SOGの層、ポリイミド層、低誘電率絶縁物等とすることも可能である。尚、レベル間誘電体層112は、異なる誘電体物質を用いて形成する必要はないことは認められよう。例えば、レベル間誘電体層112は、プラズマ堆積酸化物、PSG、BPSG、SOG、ポリイミド、低誘電率絶縁体等のような、単一の誘電体物質を用いて形成することも可能である。

【0052】次に、レベル間誘電体層112の一部にパターニングを行い、レベル間誘電体層112内に、デュアル・インレイド開口を形成する。デュアル・インレイド開口は相互接続部およびバイア部から成り、バイア部は導電性相互接続部102の一部を露出させる。パターニング・プロセスの間、誘電体層110にエッチングを行い相互接続部を形成する際に、エッチ・ストップ層108が誘電体層106を保護する。

【0053】次に、図7および図8において先に説明したように、導電性バリア層、触媒層、導電性シード層、および導電性金属層を、デュアル・インレイド開口内に

形成する。次に、図8において先に説明したように、導電性金属層、導電性シード層、触媒層、および導電性バリア層の一部を除去し、デュアル・インレイド開口内に導電性相互接続部118を形成する。この場合、導電性相互接続部118は、導電性バリア層の残り部分114、触媒層の残り部分115、導電性シード層の残り部分116、および導電性金属層の残り部分117から成る。

【0054】次に、導電性相互接続部118上にバリア層120を形成する。一実施例では、バリア層120はプラズマ堆積窒化シリコンの層である。あるいは、バリア層120は、プラズマ堆積酸化窒化シリコンの層、窒化硼素の層等とすることも可能である。導電性相互接続部118上には次に誘電体層を堆積するが、バリア層120は、導電性相互接続部118内の金属原子が、上に位置する誘電体層内に拡散するのを防止するように作用する。例えば、導電性相互接続部118が銅から成る場合、バリア層120は銅拡散バリアとして機能する。

【0055】尚、前述の工程を繰り返せば、導電性相互接続の追加レベルを作成可能であることは認められよう。

【0056】以上の説明から、本発明によれば、高アスペクト比の開口内に非常にコンフォーマルな膜を堆積するメタライゼーション・プロセスが提供され、高アスペクト比の開口内に、抵抗が小さく信頼性の高い相互接続構造を形成するために使用可能であることが認められよう。本発明は、具体的な実施例を参照しながら説明しかつ図示したが、本発明をこれら例示した実施例に限定することを意図する訳ではない。本発明の精神および範囲から逸脱することなく、変更や変形が可能であることを当業者は認めよう。したがって、本発明は、特許請求の範囲に該当する全ての変形および変更を包含することを意図するものである。

【図面の簡単な説明】

【図1】本発明の一実施例によるプロセス工程を示す断面図。

【図2】本発明の一実施例によるプロセス工程を示す断面図。

【図3】本発明の一実施例によるプロセス工程を示す断面図。

【図4】本発明の一実施例によるプロセス工程を示す断面図。

【図5】本発明の一実施例によるプロセス工程を示す断

面図。

【図6】本発明の一実施例によるプロセス工程を示す断面図。

【図7】本発明の一実施例によるプロセス工程を示す断面図。

【図8】本発明の一実施例によるプロセス工程を示す断面図。

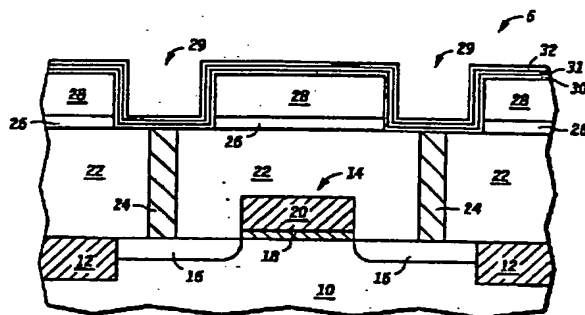
【図9】本発明の別の実施例による相互接続構造を示す断面図。

【図10】本発明の別の実施例による相互接続構造を示す断面図。

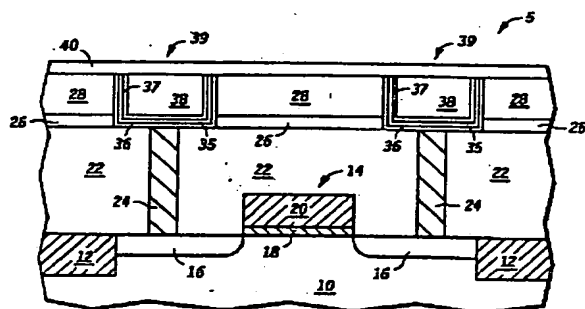
【符号の説明】

- 5 集積回路構造の部分
- 10 半導体基板
- 12 フィールド分離領域
- 14 トランジスタ
- 16 ソース/ドレイン領域
- 17 集積回路構造の部分
- 18 ゲート誘電体層
- 20 ゲート電極
- 22, 28, 42, 46, 70, 80, 92, 96, 106, 110 誘電体層
- 24 導電性プラグ
- 26, 44, 78, 94, 108 エッチ・ストップ層
- 29 相互接続開口
- 30 導電性バリア層
- 31, 53 触媒層
- 32 シード層
- 34 導電性金属層
- 39, 62, 76, 86, 102, 118 導電性相互接続部
- 40, 64, 88, 104, 120 バリア層
- 48, 90, 112 レベル間誘電体層
- 50 デュアル・インレイド開口
- 52 相互接続部
- 54 バイア部
- 54 導電性シード層
- 60, 75, 85, 100, 117 導電性金属層
- 72, 82, 97, 114 導電性バリア層
- 73, 83, 98, 115 触媒層
- 74, 84, 99, 116 導電性シード層

【図2】



【図4】



【図6】

